

JP9-285110A, 1997  
filed on April 17, 1996  
laid-open on October 31, 1997

- 5 (54) 【Title of the Invention】 DC-DC Converter  
(57) 【Abstract】

【Problems to be solved】 To provide a DC-DC converter which can completely drive a switching element, even when an input voltage is lowered.

- 10 【Means to solve the Problems】 There are provided, in the DC-DC converter of the present invention, between input terminals V1 and V1', an input voltage detecting circuit 11, input condenser Ci, switching element (N-MOS FET) Q1, diode D1 and smoothing circuit 1. Further there is  
15 provided between the drain and source of Q1 a boot strap circuit 2 which comprises a diode DB and condenser CB which are connected at a connecting point A. Further, an FET driving circuit 3 is connected between the connecting point A and the gate of Q1. Further, the output of Q1 is  
20 connected with the smoothing circuit 1 comprising a diode D1, coil L1 and output condenser Co and is also connected with a voltage dividing resistance 4 comprising resistances R1 and R2 for detecting the output voltage. Further, an error amplifying circuit 5 and control circuit 6 are  
25 connected between the FET driving circuit 3 and a connecting point of R1 and R2. The control circuit 6 is also connected with the input voltage detecting circuit 11 (frequency varying circuit).

資料 2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-285110

(43) 公開日 平成9年(1997)10月31日

(51) Int. Cl.<sup>5</sup>

H02M 3/155

識別記号

庁内整理番号

F I

H02M 3/155

技術表示箇所

K

X

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-95518

(22) 出願日 平成8年(1996)4月17日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 田子 政成

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 佐野 直人

京都府長岡京市天神二丁目26番10号 株式

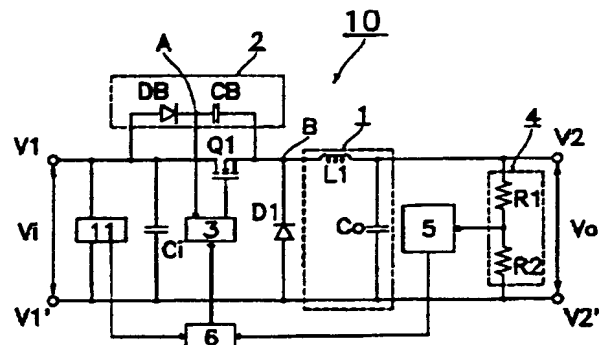
会社村田製作所内

(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】 入力電圧が下がっても、スイッチ素子を完全に駆動することができるDC-DCコンバータを提供する。

【解決手段】 DC-DCコンバータ10は、入力端子V1、V1'と出力端子V2、V2'との間に、入力電圧検出回路11、入力コンデンサC<sub>i</sub>、N-MOSFET Q1、ダイオードD1、平滑回路1が挿入されている。そして、N-MOSFET Q1のドレインとソースとの間には、ブートストラップ回路2が接続され、ブートストラップ回路2を構成するダイオードDBとコンデンサCBとの接続点AとN-MOSFET Q1のゲートとの間には、FETドライブ回路3が接続されている。また、N-MOSFET Q1の出力側には、ダイオードD1、コイルL1と出力コンデンサC<sub>o</sub>からなる平滑回路1及び抵抗R1、R2からなる出力電圧検出用分圧抵抗4が接続されている。さらに、出力電圧検出用分圧抵抗4を構成する抵抗R1とR2の接続点と、FETドライブ回路3の間には、誤差増幅回路5及び制御回路6が接続され、制御回路6は周波数可変回路11とも接続されている。



## 【特許請求の範囲】

【請求項1】 スイッチ素子と、ダイオード及びコンデンサからなるブートストラップ回路と、制御回路と、FETドライブ回路、誤差増幅器とを備え、入力電圧に比べ出力電圧を降圧するように変換するとともに、出力電圧と基準電圧とを前記制御回路で比較して前記FETドライブ回路を介して前記スイッチ素子の開閉を制御する他励降圧型DC-DCコンバータにおいて、入力電圧に比例して、前記スイッチ素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とするDC-DCコンバータ。

【請求項2】 前記周波数可変回路が入力端子間に設けられた電圧検出回路からなることを特徴とする請求項1に記載のDC-DCコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、DC-DCコンバータに関し、特に、スイッチ素子とブートストラップ回路と制御回路とFETドライブ回路とを備える他励降圧型DC-DCコンバータに関する。

## 【0002】

【従来の技術】 図4に、従来の他励降圧型DC-DCコンバータ50の基本回路図を示す。図4において、入力端子V1、V1'と出力端子V2、V2'との間に、入力コンデンサC1、スイッチ素子、例えばNチャネルMOS-FET (N-MOSFET) Q1、ダイオードD1、平滑回路1が挿入されている。N-MOSFET Q1のドレインDとソースSとの間には、N-MOSFET Q1がオフしたときの入力電圧Viと出力電圧Voの差をダイオードDBを介してコンデンサCBに充電する回路、いわゆるブートストラップ回路2が接続され、ブートストラップ回路2のダイオードDBとコンデンサCBとの接続点AとN-MOSFET Q1のゲートとの間には、FETドライブ回路3が接続されている。従って、FETドライブ回路3は、N-MOSFET Q1をオンさせるゲート電圧を、ブートストラップ回路2を構成するダイオードDBとコンデンサCBとの接続点Aから得る。

【0003】 また、N-MOSFET Q1の出力側には、ダイオードD1、平滑回路1及び出力電圧検出用分圧抵抗4が接続されている。このうち、平滑回路1はコイルL1と出力コンデンサCoからなり、出力電圧検出用分圧抵抗4は抵抗R1と抵抗R2の直列回路からなる。さらに、抵抗R1とR2の接続点と、FETドライブ回路3の間には、誤差増幅回路5及び制御回路6が接続されている。

【0004】 以上のように構成されたDC-DCコンバータでは、出力電圧検出用分圧抵抗4の抵抗R1とR2で分圧され、出力電圧Voに比例する電圧が、誤差増幅回路5によって、基準電圧と比較され、出力電圧Voに

比例する電圧が基準電圧より低いときは、制御回路6及びFETドライブ回路3を介してN-MOSFET Q1をオンし、エネルギーをコイルL1と平滑回路1で平滑化しながら、出力端子V2、V2'へ安定化した電力を供給する。一方、出力電圧Voに比例する電圧が基準電圧より高くなると、制御回路6及びFETドライブ回路3を介してN-MOSFET Q1をオフする。そして、N-MOSFET Q1のオフにともない、オン時に蓄えられたエネルギーは、ダイオードD1を通して出力端子V2、V2'へ放出されて出力電圧Voは徐々に低下する。以上の動作を繰り返して出力電圧Voを安定化する。

## 【0005】

【発明が解決しようとする課題】 ところが、上記の従来のDC-DCコンバータでは、入力電圧が下がり、出力電圧が小さくなると、ブートストラップ回路による充電電圧が低下し、スイッチ素子への駆動電圧が低下するため、スイッチ素子が動作しなくなるという問題点があった。

【0006】 このことを図を用いて説明する。N-MOSFET Q1とダイオードD1との接続点Bの電圧(VB)の波形、ブートストラップ回路2のダイオードDBとコンデンサCBとの接続点Aの電圧(VA)の波形、N-MOSFET Q1のゲート・ソース間電圧(VGS)の波形をそれぞれ図5(a)～図5(c)に示す。図5(a)～図5(c)中において、実線は入力電圧Viが高い場合、波線は入力電圧Viが低い場合である。

【0007】 図5(a)に示すように、入力電圧Viが高い場合には、ダイオードD1にも十分な電流が流れるため、N-MOSFET Q1がオフ時の接続点Bの電圧はほぼグラウンドレベル(0V)となっている(図中実線)が、入力電圧Viが低くなると、ダイオードD1に流れる電流が少なくなるため、接続点Bの電圧はグラウンドレベルまで落ちなくなる(図中破線)。すると、図5(b)に示すように、接続点Aの電圧が徐々に下がる(図中破線)。そのため、図5(c)に示すように、N-MOSFET Q1のゲート・ソース間電圧も低くなる。そして、このゲート・ソース間電圧が下がって、N-MOSFET Q1をオンするためのしきい値電圧Vthを下回った場合(図中破線)、N-MOSFET Q1をオンすることができなくなる。

【0008】 本発明は、このような問題点を解決するためになされたものであり、入力電圧が下がっても、スイッチ素子を完全に駆動することができるDC-DCコンバータを提供することを目的とする。

## 【0009】

【課題を解決するための手段】 上述する問題点を解決するため本発明は、スイッチ素子と、ダイオード及びコンデンサからなるブートストラップ回路と、制御回路と、FETドライブ回路と、誤差増幅器とを備え、入力電圧

に比べ出力電圧を降圧するように変換するとともに、出力電圧と基準電圧とを前記制御回路で比較して前記FETドライブ回路を介して前記スイッチ素子の開閉を制御する他励降圧型DC-DCコンバータにおいて、入力電圧に比例して、前記スイッチ素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とする。

【0010】また、前記周波数可変回路が入力端子間に設けられた電圧検出回路からなることを特徴とする。

【0011】本発明のDC-DCコンバータによれば、入力電圧の高低に関係なく、周波数可変回路から制御回路に、周波数可変回路で決定されるスイッチング周波数が伝達され、そのスイッチング周波数でN-MOSFETQ1がオン、オフを繰り返すことにより、エネルギーがコイルL1に蓄えられ、出力電圧V<sub>o</sub>を伝えることができる。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。なお、各実施例中において、従来例と同一もしくは同等の部分には同一番号を付し、その詳細な説明は省略する。

【0013】図1に、本発明のDC-DCコンバータの基本回路図を示す。DC-DCコンバータ10は、入力端子V<sub>1</sub>、V<sub>1</sub>'と出力端子V<sub>2</sub>、V<sub>2</sub>'との間に、周波数可変回路11、例えば入力電圧検出回路、入力コンデンサC<sub>1</sub>、N-MOSFETQ1、ダイオードD1、平滑回路1が挿入されている。

【0014】そして、N-MOSFETQ1のドレインとソースとの間には、ブートストラップ回路2が接続され、ブートストラップ回路2を構成するダイオードDBとコンデンサC<sub>B</sub>との接続点AとN-MOSFETQ1のゲートとの間には、FETドライブ回路3が接続されている。

【0015】また、N-MOSFETQ1の出力側には、ダイオードD1、コイルL1と出力コンデンサC<sub>o</sub>からなる平滑回路1及び抵抗R1と抵抗R2の直列回路からなる出力電圧検出用分圧抵抗4が接続されている。さらに、出力電圧検出用分圧抵抗4を構成する抵抗R1とR2の接続点と、FETドライブ回路3の間には、誤差増幅回路5及び制御回路6が接続され、制御回路6は周波数可変回路11とも接続されている。

【0016】図2に、本発明に係るDC-DCコンバータの第1の実施例の回路図を示す。DC-DCコンバータ10は、従来のDC-DCコンバータ50とほぼ同様の構成をしているが、入力端子V<sub>1</sub>、V<sub>1</sub>'間に周波数可変回路11が接続されている点で異なる。

【0017】周波数可変回路11は、ツェナーダイオードZD、抵抗R3~R8、コンデンサC1、C2、スイッチング素子Q2及びオシレータOSCからなる。そして、ツェナーダイオードZD、抵抗R3、R4が入力端

子V<sub>1</sub>、V<sub>1</sub>'間に直列に接続され、抵抗R3、R4の接続点は、抵抗R5、スイッチング素子Q2、抵抗R6及びオシレータOSCを介して制御回路6に接続されている。

【0018】また、スイッチング素子Q2のコレクタは抵抗R6、ベースは抵抗R5にそれぞれ接続され、スイッチング素子Q2のエミッタは抵抗R7を介してグラウンドに接続されている。さらに、スイッチング素子Q2のベースと抵抗R5の接続点とグラウンドとの間には、コンデンサC1が接続され、オシレータOSCと抵抗R5の接続点とグラウンドとの間には、抵抗R8が接続され、オシレータOSCとグラウンドの間には、コンデンサC2が接続されている。

【0019】次に、第1の実施例のDC-DCコンバータ10の動作説明をする。入力電圧V<sub>i</sub>が低い場合には、抵抗R8とコンデンサC2で決定されるスイッチング周波数でオシレータOSCが発振し、スイッチング周波数が制御回路6に伝達され、そのスイッチング周波数でN-MOSFETQ1がオン、オフを繰り返すことにより、エネルギーがコイルL1に蓄えられ、出力電圧V<sub>o</sub>を伝えることができる。

【0020】一方、入力電圧V<sub>i</sub>が上昇し、入力電圧V<sub>i</sub>がツェナーダイオードZDのツェナー電圧V<sub>z</sub>を越えると、スイッチ素子Q2のベースにベース電圧V<sub>b</sub>=R2・(V<sub>i</sub>-V<sub>z</sub>)/(R3+R4)が印加され、徐々にスイッチ素子Q2がオン状態になってくる。そして、ベース電圧V<sub>b</sub>がスイッチ素子Q2をオン状態にするのに十分な電圧になったときに、オシレータOSCは抵抗(R6+R7)と抵抗R8の合成抵抗(R6+R7)・R8/(R6+R7+R8)とコンデンサC2で決定されるスイッチング周波数で発振し、スイッチング周波数が制御回路6に伝達され、そのスイッチング周波数でN-MOSFETQ1がオン、オフを繰り返すことにより、エネルギーがコイルL1に蓄えられ、出力電圧V<sub>o</sub>を伝えることができる。

【0021】図3に、本発明に係るDC-DCコンバータの第2の実施例の回路図を示す。DC-DCコンバータ15は、第1の実施例のDC-DCコンバータ10と比較して、周波数可変回路11の構成が異なる。

【0022】周波数可変回路11は、抵抗R3~R13、コンデンサC1、C2、スイッチング素子Q2、Q3、オペアンプIC1及びオシレータOSCからなる。そして、抵抗R3、R4が入力端子V<sub>1</sub>、V<sub>1</sub>'間に直列に接続され、抵抗R3、R4の接続点は、抵抗R5、オペアンプIC1、抵抗R6、スイッチング素子Q2、Q3、抵抗R7及びオシレータOSCを介して制御回路6に接続されている。

【0023】また、オペアンプIC1の反転入力端子は抵抗R5に接続され、非反転入力端子は抵抗R8及び基準電圧V<sub>ref</sub>を介してグラウンドに接続されている。こ

の際、オペアンプIC1の反転入力端子と出力は抵抗R9を介して接続されている。

【0024】さらに、オペアンプIC1の出力は抵抗R6を介してスイッチ素子Q2のベースに接続され、スイッチ素子Q2のコレクタはスイッチ素子Q3のベース、スイッチ素子Q2のエミッタは抵抗R8を介してグラウンドにそれぞれ接続されている。この際、抵抗R6とスイッチ素子Q2のベースの接続点はコンデンサC1を介してグラウンドに接続され、スイッチ素子Q2のコレクタとスイッチ素子Q3のベースとの接続点は抵抗R11を介して基準電圧Vrefに接続されている。

【0025】また、スイッチング素子Q3のコレクタは抵抗R7を介してオシレータOSCに、エミッタは抵抗R12を介してグラウンドにそれぞれ接続されている。この際、抵抗R7とオシレータOSCの接続点とグラウンドとの間には、抵抗R13が接続され、オシレータOSCとグラウンドとの間には、コンデンサC2が接続されている。

【0026】次に、第2の実施例のDC-DCコンバータ15の動作説明をする。入力電圧Viが低い場合には、抵抗R13とコンデンサC2で決定されるスイッチング周波数でオシレータOSCが発振し、スイッチング周波数が制御回路6に伝達され、そのスイッチング周波数でN-MOSFETQ1がオン、オフを繰り返すことにより、エネルギーがコイルL1に蓄えられ、出力電圧Voを伝えることができる。

【0027】一方、入力電圧Viが上昇し、 $V_1 = R_4 \cdot V_i / (R_3 + R_4)$  が基準電圧Vrefを越えると、徐々にスイッチ素子Q2がオフ状態になり、徐々にスイッチ素子Q3がオン状態になってくる。そして、スイッチ素子Q3がオン状態になったときに、オシレータOSCは抵抗 $(R_7 + R_{12})$ と抵抗R13の合成抵抗 $(R_7 + R_{12}) \cdot R_{13} / (R_7 + R_{12} + R_{13})$ とコンデンサC2で決定されるスイッチング周波数で発振し、スイッチング周波数が制御回路6に伝達され、そのスイッチング周波数でN-MOSFETQ1がオン、オフを繰り返すことにより、エネルギーがコイルL1に蓄えられ、出力電圧Voを伝えることができる。

【0028】上述したように、第1及び第2の実施例のDC-DCコンバータ10、15によれば、入力電圧Viの高低に関係なく、周波数可変回路11でスイッチング周波数が決定される、すなわち入力電圧が下がるとともに、N-MOSFETQ1のスイッチング周波数を低くすることにより、N-MOSFETQ1を完全に駆動することができる。従って、入力電圧Viの高低に関係なく、安定した出力電圧Voを得ることができる。

【0029】また、DC-DCコンバータの変換効率 $(V_o / V_i)$ を下げることなく、簡単に回路が構成できる。

【0030】なお、第1及び第2の実施例における回路は、一例であり、入力電圧が下がるにともないスイッチ素子のスイッチング周波数を下げることができる周波数可変回路であればよい。

【0031】また、FETドライブ回路、誤差増幅回路、制御回路及びオシレータを1つの制御IC内に集積してもよい。この場合には、DC-DCコンバータを実装するプリント基板を小形にすることができる。その結果、DC-DCコンバータを搭載する電子機器等の小形化が可能となる。

【0032】

【発明の効果】本発明のDC-DCコンバータによれば、入力電圧の高低に関係なく、周波数可変回路でスイッチング周波数が決定される、すなわち入力電圧が下がるとともに、スイッチ素子のスイッチング周波数を低くすることにより、スイッチ素子を完全に駆動することができる。従って、入力電圧の高低に関係なく、安定した出力電圧を得ることができる。

【0033】また、DC-DCコンバータの変換効率(出力電圧/入力電圧)を下げることなく、簡単に回路が構成できる。

【図面の簡単な説明】

【図1】本発明のDC-DCコンバータの基本回路図である。

【図2】本発明のDC-DCコンバータに係る第1の実施例の回路図である。

【図3】本発明のDC-DCコンバータに係る第2の実施例の回路図である。

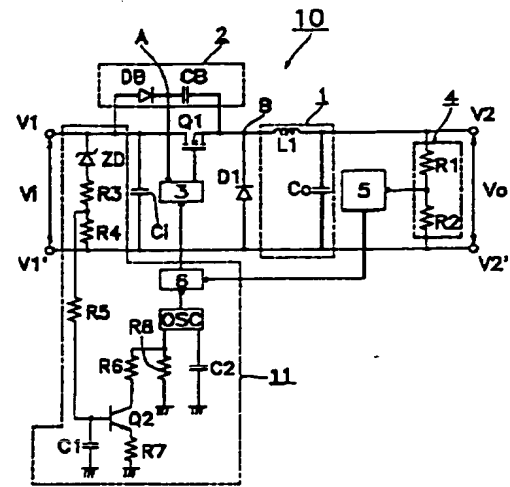
【図4】従来のDC-DCコンバータの基本回路図である。

【図5】図4のDC-DCコンバータの動作を説明するための電圧波形図である。

【符号の説明】

10、15	DC-DCコンバータ
2	ブートストラップ回路
3	FETドライブ回路
5	誤差増幅器
6	制御回路
11	周波数可変回路(電圧検出回路)
CB	コンデンサ
DB	ダイオード
Q1	スイッチ素子(N-MOSFET)

【圖 2】



【圖4】

